

Kapitel 2

11

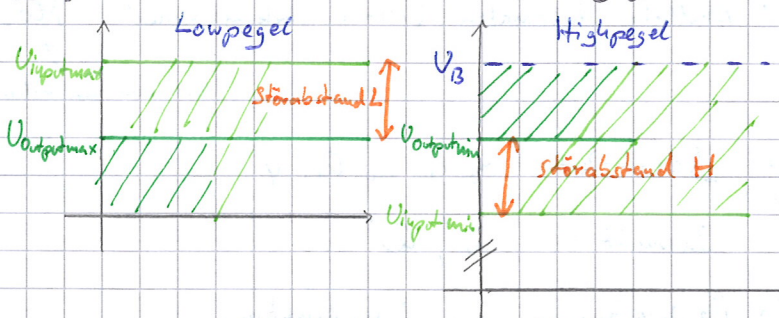
- Fan Out / Fan In $\rightarrow$ Ausgangs / Eingangslastfaktor

$\downarrow$ wieviele Eingänge ein Ausgang treiben kann / Vektor um den der Eingangsbau > Normwert

- Störabstand

$$U_{\text{Stör}} = U_{\text{input}} - U_{\text{output}}$$

z.B. Standard TTL: 0,4V



$U_B \hat{=}$ Betriebsspannung

- TTL-Eingang offen $\rightarrow$ H-Pegel

- Hazards und deren Abhilfe

$\hookrightarrow$ Störimpulse durch Gatterlaufzeiten

$\rightarrow$ Übernahme der Werte nach Laufzeitfehler
- rein zweishaltige Realisierung

stat. Hazard: Signal am Ausgang müsste konstant sein, wechselt aber.

dynamischer Hazard: Signal ändert seinen Wert
 $\rightarrow$ kurzzeitiger spontaner Impuls

- 74 LS00

$\downarrow$
Temperaturstabilität
0-70°

Unterfamilie
„Low-Power-Schottky“

Logistyp

4xNAND à 2 Eingänge

		Standard	Schottky	LS	Fast
Gatterlaufzeiten	t_{pd} ns	10	3	10	3
Verlustleistung	P_{avg} mW	10	20	3	3

TTL

CMOS

H High-Speed HC T High-Speed
L Low-Power AC T Advanced
S Schottky AHC T Adv. High...
LS LP-Schottky FC T Fast
AS Advanced S LVC T Low-Voltage
ALS Advanced LS ALVCT ALV
F Fast AVCT AveryLV

- Funktionsweise anhand von Eingangssignalen

mind. 1 Eingang L

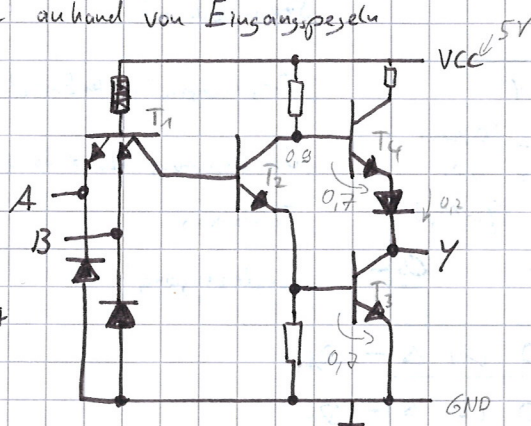
T_1 - Normalbetrieb

$\rightarrow T_2$ sperrt (Basis auf G)

$\hookrightarrow$ Basis $T_4 = H \Rightarrow T_4$ leitet

$\hookrightarrow$ Basis $T_3 = L \Rightarrow T_3$ sperrt

$\Rightarrow Y = H$



beide Eingänge auf H:

T_1 - Inversbetrieb

$\rightarrow T_2$ leitet

$\hookrightarrow T_4$ sperrt
 $\hookrightarrow T_3$ leitet

$\Rightarrow Y = L$

Strom geht über
Trans mit größerer
Spannungsdifferenz, also
 T_3

Kapitel 3 Schaltwerke

- Schaltwerk = Schaltnetz + Speicher

- Endliche Automaten (Finite state machines) Moore vs Mealy
 - ↑
nur von Zustandsvariablen abhängig
 - ↑
Zustandsvariablen + Eingangsvariable

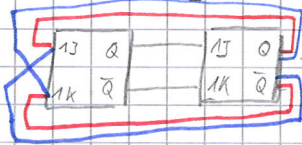
- o Jetzt-Zeit: x_0, x_1, q_0, q_1, y
Zukunft: q_0^*, q_1^*

- Beschreibearken von Schachtwerken:

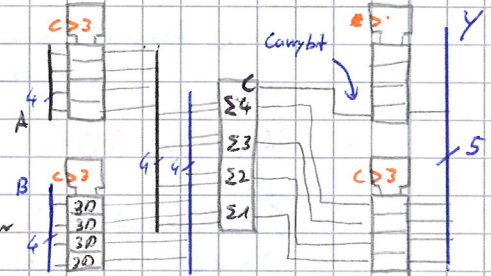
Zustandsdiagramm (Kreise + Pfeile), Zustandsfolge diagramm, Graph

- Mod- n Zählen $\rightarrow$ Zählen bis n , bei 0 beginnen $\odot$

- Schnelle Zähler: $\bullet$ - Ring-2. $10000 - 01000 - 00100 - 00010 - 00001$
• da keine Logik



- Johnson-Z: 00000 - 10000 - 11000 - 11100 - 11110 - 11111 - 01111 -



- Paralleladdierwerk:

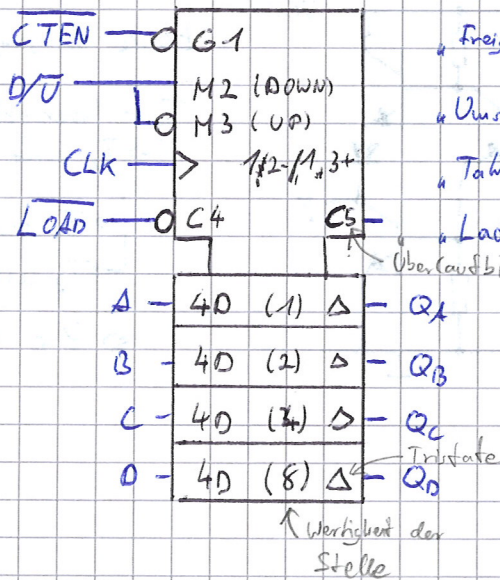
- Operanden A und B mit Tocht ins Operandenregister

- Folgende Fkante $\rightarrow \sum S$ in Ergebnisregister Volladdieren

- maximale Taktfrequenz: Abhängig von 4 Bit VA und Register $f_{\text{op}} = f_{\text{reg}} + f_{\text{VA}}$ $f_{\text{max}} = f_{\text{reg}} + f_{\text{VA}}$

- Logiksymbol von Zählern

Steuerblock mit:



- Freigabezeit (Counter Enable)

- ↳ Umschaltung der Zählrichtung

- 4 Teilungsang 4

- "Ladeingang"

→ Überlaufbit

$$1 \times \text{Laden} + 4 \times \text{Schießen}$$


Mode = 1 → parallel Laden
Clock 2 → schieben
Clock → par. Laden

z.B. Multilayer mit angelegtem L/H

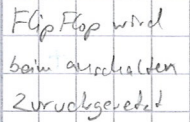
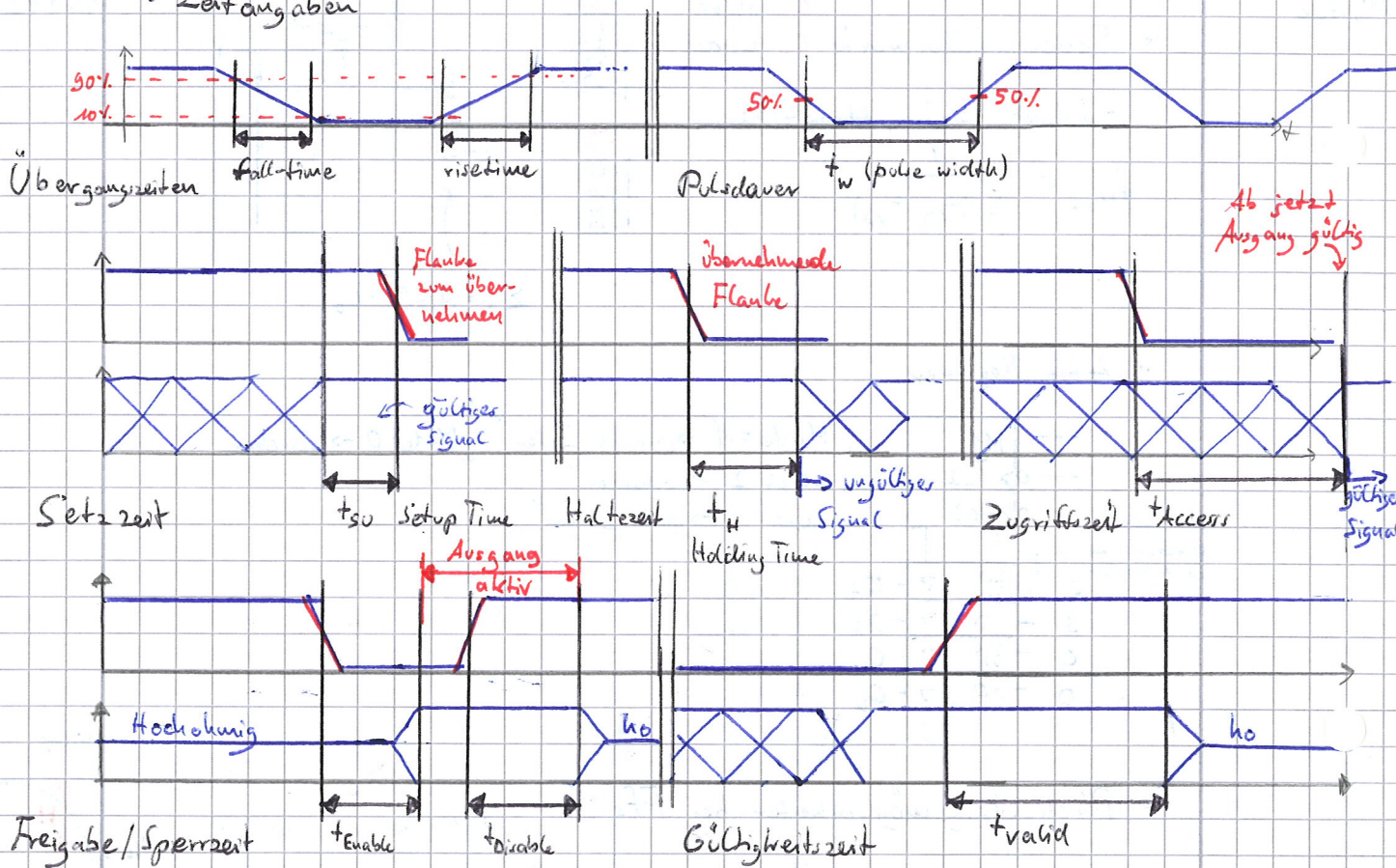


Diagram illustrating the address and data bus connections for a memory module:

- Address bus: A_0 to A_{13} (14 bits) and Enable.
- Control signals: $R/\bar{W}$ (Read/Write) and H (High).
- Data bus: D_0 to D_{15} (16 bits).
- Memory locations: $M15$ (Read) and $C16$ (Write).
- Output: Q_4 (4 bits).

Address	Data	Output
A_0	D_0	Q_4
$\vdots$	$\vdots$	∇
A_{13}	D_{13}	∇
Enable	E_{14}	∇
$R/\bar{W}$	$M15$ (Read)	∇
	$C16$ (Write)	∇
H	H	∇

• Zeitangaben



+ Zykluszeit (Cycletime): Zeitdauer bei der Ausführung einer Funktion

+ Auffruchtzeit (Refresh time): Maximale Zeitdauer zwischen 2 Auffrischvorgängen

• () ROM read only memory, Baustein wird bei der Herstellung programmiert

P Programmable ROM: einmalige Programmierung der ODER-Matrix durch:

Schmelzen dünner Metallbrücken / Überlastung ($\rightarrow$ Kurzschluss) von Dioden / Aufladen von CMOS

EP Erasable PROM Löschung durch UV-Licht (Ladung auf Floating Gates)

EA / EEP Electrically Erasable PROM einzelne Bytes einzeln löschen

Alterable

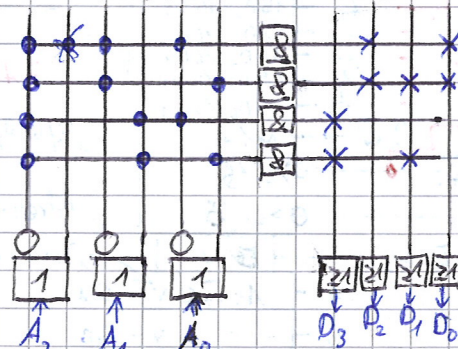
FLASH- wie EEPROM, wird aber komplett gelöscht

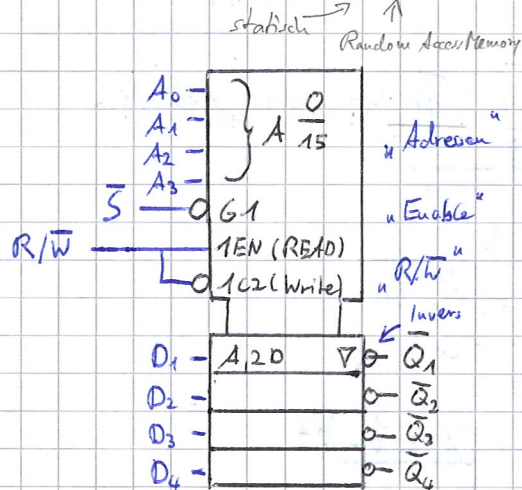
UND-Matrix

ODER

Aufbau siehe Skript s. 86

Adresse	Information
0 0 0	0 1 0 1
0 0 1	0 1 1 1
0 1 0	1 0 0 0
0 1 1	1 0 1 0
⋮	
1 1 1	1 0 1 1
$A_2 A_1 A_0$	$D_3 D_2 D_1 D_0$





Funktion	S	R/W	Ausgangssignal
Sperren	H	X	Hochohmig
Schreiben	L	L	Hochohmig
Lesen	L	H	Komplement der Daten

SRAM + Vorteil: Schneller Speicher

- Nachteil: "Platzbedarf" -> nicht hochintegrierbar

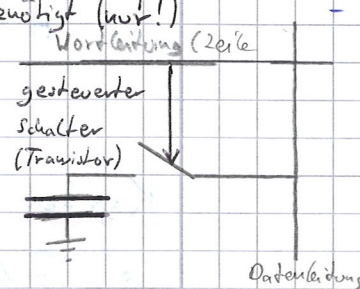
Blockschaltbild

DRAM: FF wird durch Kondensator ersetzt (< 100 Femtofarad)

Durable Ladung = Information -> 1 Transistor benötigt (nur!)

C-Ladung geht mit der Zeit verloren -> Refresh nach < 10ms

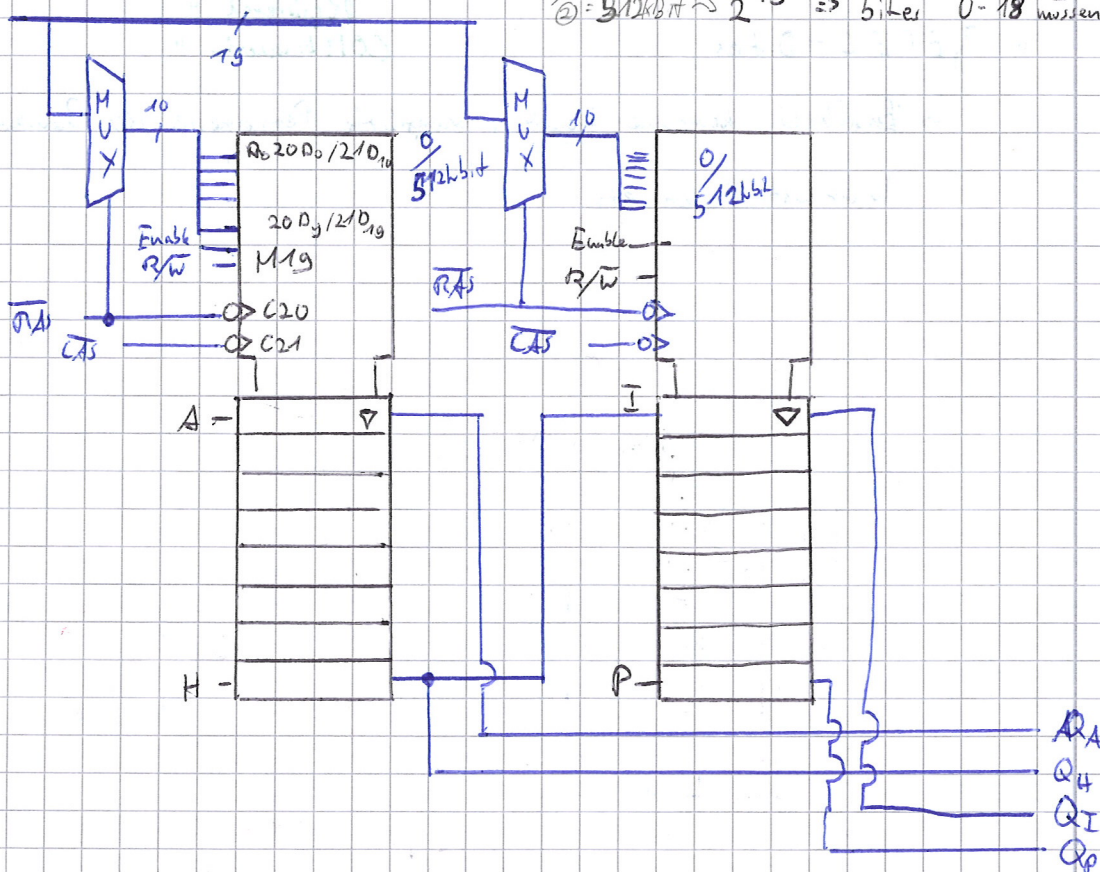
+ hochintegrierbar - langsam



Beispiele zur Speicherkonfiguration:

- 1 MByte Speicher in 16 bit Worten aus (512 KiByte) 8bit Organisation mit Adrmux und Tristate

512 KiByte -> 2¹⁸ => biten 0-18 müssen adressiert werden



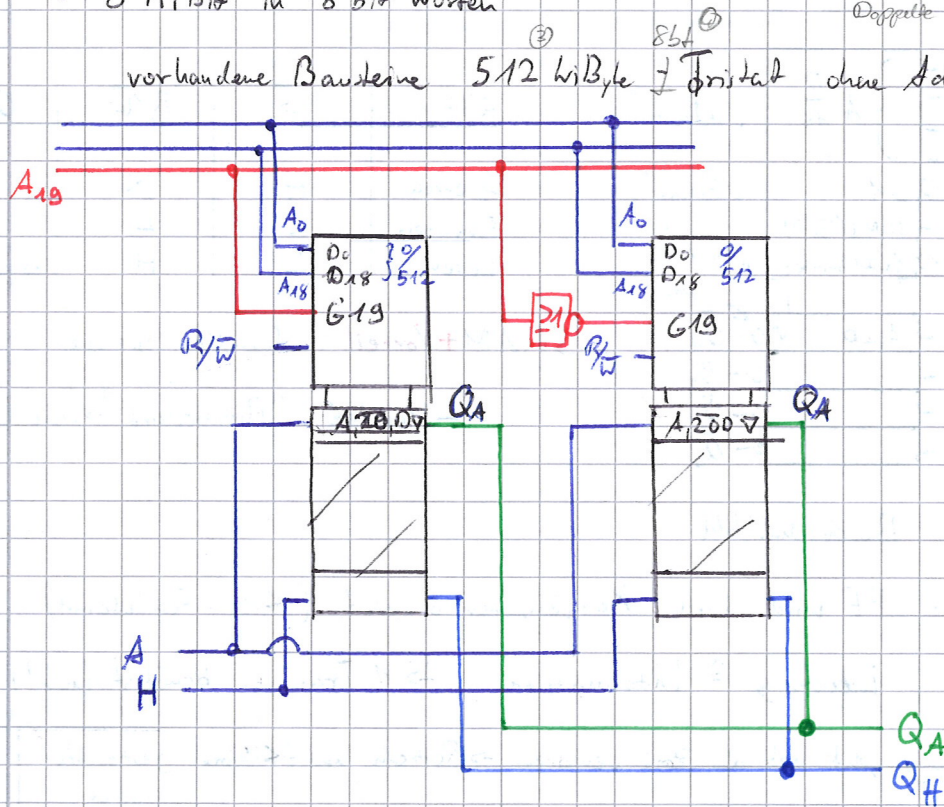
- ① 8 MiBit in 8 bit Worten

$$\frac{1}{2} = 1 \text{ MiBit}$$

$$\frac{1}{4} = 512 \text{ KiBit}$$

Doppelte Speicherkapazität

vorhandene Bausteine 512 KiByte Transist. ohne Adr. Mux



Kapitel 5 Programmierbare Logik

- GAL 16 V 8-20 20µs Verzögerung

Generic Array Logic max 16 Eingänge Variable Output max. 8 Ausgänge

- JEDEC-Daten

Registered "
COMbinatoric "

↳ Kenntn. komplette Logik, komplette Peripherie der Bausteine, Wahrheitstabellen etc.